

Method for fabricating SOI wafer

Patent Number: ☐ US6242320
Publication date: 2001-06-05
Inventor(s): SO SANG MUN (KR)
Applicant(s): HYUNDAI ELECTRONICS IND (US)
Requested Patent: JP2000183157
Application Number: US19990435655 19991108
Priority Number(s): KR19980055656 19981217
IPC Classification: H01L21/76
EC Classification: H01L21/762D20, H01L21/762D8
Equivalents: KR2000040104, TW439187

Abstract

A method for fabricating a silicon on insulator wafer, comprising the steps of: preparing a base substrate and a semiconductor substrate; forming a first insulating layer on the base substrate; forming first isolation layers of trench types having a first depth in one surface of the semiconductor substrate; forming second isolation layers of trench types having a second depth between the first isolation layers, the second depth being deeper than the first depth; forming a second insulating layer over one surface of the semiconductor rate including the first and second isolation layers; bonding the base substrate and the semiconductor substrate to contact the first insulating layer with the second insulating layer; firstly polishing another surface of the semiconductor substrate to expose the second isolation layers using the second isolation layers as polishing stoppers; etching the second isolation layers to have the same depth as the first isolation layers; and secondly polishing the first polished another surface of the semiconductor substrate using the first and second isolation layers as polishing stoppers to form a semiconductor layer

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

AN

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-183157
(P2000-183157A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl. ⁷	願別記号	F I	キーワード(参考)
H 0 1 L 21/762		H 0 1 L 21/76	D
21/02		21/02	B
21/76		27/12	F
27/12			B
		21/76	L
審査請求 未請求 請求項の数21 O L (全 7 頁)			

(21)出願番号 特願平11-322105
(22)出願日 平成11年11月12日(1999. 11. 12)
(31)優先権主張番号 1998/P55656
(32)優先日 平成10年12月17日(1998. 12. 17)
(33)優先権主張国 韓国 (K R)

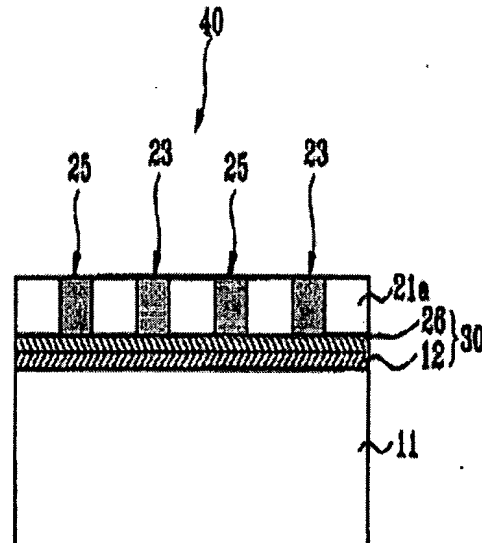
(71)出願人 591024111
現代電子産業株式会社
大韓民国京畿道利川市矢鉢邑牙美里山138-1
(72)発明者 蘇 相 文
大韓民国 京畿道 利川市 高潭洞 山11番地 高潭 寄宿舍 104-905
(74)代理人 100083399
弁理士 瀬谷 徹 (外1名)

(54)【発明の名称】 SOIウェーハの製造方法

(57)【要約】 (修正有)

【課題】 半導体層の厚さの均一度を向上させるSOIウェーハの製造方法を提供する。

【解決手段】 ベース基板11と半導体基板21を用意し、ベース基板上に第1絶縁膜12を形成する；半導体基板の側面に第1深さを持つトレンチ型の第1素子分離膜23を形成する；第1素子分離膜内に第1深さより深い第2深さを持つトレンチ型の第2素子分離膜25を形成する；両素子分離膜の形成された半導体基板の側面に第2絶縁膜26を形成する；第1と第2絶縁膜が接触するように、ベース基板と半導体基板を接合する；第2素子分離膜が露出するように、該膜を研磨停止層として、半導体基板の他側面を1次研磨する；第2及び第1素子分離膜が同じ深さを持つように、第2素子分離膜をエッチングする；半導体層が形成されるように、第1及び第2素子分離膜を研磨停止層として、半導体基板の他側面を2次研磨する。



【特許請求の範囲】

【請求項 1】 ベース基板及び半導体基板を提供する段階；前記ベース基板上に第1絶縁膜を形成する段階；前記半導体基板の側面に第1深さを持つトレンチ型の第1素子分離膜を形成する段階；前記第1素子分離膜間に前記第1深さより深い第2深さを持つトレンチ型の第2素子分離膜を形成する段階；前記第1及び第2素子分離膜の形成された前記半導体基板の側面上に第2絶縁膜を形成する段階；前記第1と第2絶縁膜がコンタクトされるように、前記ベース基板と前記半導体基板をボンディングする段階；前記第2素子分離膜が露出するように、前記第2素子分離膜を研磨停止層として、前記半導体基板の他側面を1次研磨する段階；前記第2素子分離膜と第1素子分離膜が同じ深さを持つように、前記第2素子分離膜をエッチングする段階；及び半導体層が形成されるように、前記第1及び第2素子分離膜を研磨停止層として、1次研磨した前記半導体基板の他側面を2次研磨する段階を含むことを特徴とするSOIウェーハの製造方法。

【請求項 2】 前記第1絶縁膜は前記ベース基板を熱酸化して形成させた熱酸化膜であることを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 3】 前記第1絶縁膜は、化学気相蒸着法にて蒸着されたBPSG膜、SiO₂膜、O₃-TEOS酸化膜、高密度プラズマ酸化膜から選択される一つの膜であることを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 4】 前記第1絶縁膜は1,000～10,000Å厚さで形成されることを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 5】 前記第1素子分離膜を形成する段階は、前記半導体基板の側面に第1深さでトレンチを形成する段階；前記トレンチが埋め込まれるように前記半導体基板の側面上に酸化膜を蒸着する段階；及び前記半導体基板の側面が露出するように前記酸化膜をエッチングする段階を含んでなることを特徴とする請求項1記載のSOI素子の製造方法。

【請求項 6】 前記トレンチは1,000～3,000Å深さで形成されることを特徴とする請求項5記載のSOIウェーハの製造方法。

【請求項 7】 前記酸化膜は、化学気相蒸着法にて蒸着されたBPSG膜、SiO₂膜、O₃-TEOS酸化膜、高密度プラズマ酸化膜から選択される一つの膜であることを特徴とする請求項5記載のSOIウェーハの製造方法。

【請求項 8】 前記第2素子分離膜を形成する段階は、前記第1素子分離膜間の前記半導体基板の側面に第2深さでトレンチを形成する段階；前記トレンチが埋め込まれるように前記半導体基板の側面上に酸化膜を蒸着する段階；及び前記半導体基板の側面が露出するように

前記酸化膜をエッチングする段階を含むことを特徴とする請求項1記載のSOI素子の製造方法。

【請求項 9】 前記トレンチは4,000～6,000Å深さで形成されることを特徴とする請求項8記載のSOIウェーハの製造方法。

【請求項 10】 前記酸化膜は、化学気相蒸着法にて蒸着されたBPSG膜、SiO₂膜、O₃-TEOS酸化膜、高密度プラズマ酸化膜から選択される一つの膜であることを特徴とする請求項8記載のSOIウェーハの製造方法。

【請求項 11】 前記第2絶縁膜は、化学気相蒸着法にて蒸着されたBPSG膜、SiO₂膜、O₃-TEOS酸化膜、高密度プラズマ酸化膜から選択される一つの膜であることを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 12】 前記第2絶縁膜は1,000～10,000Å厚さで形成されることを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 13】 前記半導体基板の側面上に第2絶縁膜を形成する段階と、前記ベース基板と半導体基板をボンディングさせる段階との間に、前記ベース基板と半導体基板を洗浄する段階をさらに含むことを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 14】 前記洗浄は、NH₄OH:H₂O₂:H₂Oが1:4:20の体積比で混合された溶液あるいはH₂SO₄:H₂Oが4:1の体積比で混合された溶液の一つで行われることを特徴とする請求項13記載のSOIウェーハの製造方法。

【請求項 15】 前記洗浄は、NH₄OH:H₂O₂:H₂Oが1:4:20の体積比で混合された溶液で行われた後、続いて、H₂SO₄:H₂Oが4:1の体積比で混合された溶液で行われることを特徴とする請求項13記載のSOIウェーハの製造方法。

【請求項 16】 前記ベース基板と半導体基板のボンディングは、7.5×10⁻¹～7.5×10⁻⁴Torrの真空下で行われることを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 17】 前記ベース基板と半導体基板をボンディングする段階後、前記基板間のボンディング強度が増大するように、窒素(N₂)または酸素(O₂)雰囲気下で800～1,200℃で30～120分の間に熱処理することを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 18】 前記1次研磨段階は、前記第2素子分離膜に隣接した部分まで前記半導体基板の他側面を研削する段階；及び前記第2素子分離膜を研磨停止層として、前記第2素子分離膜が露出するように、研磨した前記半導体基板の他側面を研磨する段階を含むことを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項 19】 前記研削した半導体基板の他側面を研磨

する段階は、チャックテーブルの回転速度が10〜30 rpm、スピンドルにより加える圧力が4〜8 psi、スピンドルの回転速度が20〜40 rpmの工程条件で行われることを特徴とする請求項18記載のSOIウェーハの製造方法。

【請求項20】前記第2素子分離膜は、100〜300:1の比率のBOE溶液でエッチングすることを特徴とする請求項1記載のSOIウェーハの製造方法。

【請求項21】前記2次研磨段階は、チャックテーブルの回転速度が10〜30 rpm、スピンドルにより加える圧力が4〜8 psi、スピンドルの回転速度が20〜40 rpmの工程条件で行われることを特徴とする請求項1記載のSOIウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はSOI(Silicon-On-Insulator)ウェーハの製造方法に関し、特に素子が形成される半導体層の厚さの均一度を向上させるためのSOIウェーハの製造方法に関する。

【0002】

【従来の技術】近年、半導体素子の高集積化及び高性能化に伴い、バルクシリコンからなる単結晶シリコンウェーハの代わりに、SOIウェーハを用いた半導体集積技術が注目されている。これは、SOIウェーハに集積された半導体素子が通常の単結晶シリコンウェーハに集積された半導体素子と比較して、接合容量(Junction Capacitance)の減少による高速化、しきい電圧(Threshold Voltage)の減少による低電圧化、及び完全な素子分離によるラッチアップ(Latch-Up)の減少などの利点を持つためである。

【0003】前述したSOIウェーハは、支持手段のベース基板と、前記ベース基板上に配置されてボンディング媒体としての機能を行う埋め込み酸化膜と、前記埋め込み酸化膜上に配置されて素子形成領域を提供する半導体層との積層構造からなる。前記SOIウェーハを製造する為に、従来はSIMOX(separation by implanted oxygen)法及びボンディング法が利用されている。

【0004】SIMOX法は、シリコンウェーハ内に酸素イオンを注入し、次に、酸素イオンとシリコンが反応するように熱処理を行うことにより、前記シリコンウェーハの表面から所定深さに前記シリコンウェーハをベース基板と半導体層に分離させる埋め込み酸化膜を形成し、その結果、ベース基板、埋め込み酸化膜、及び半導体層の積層構造からなるSOIウェーハが得られる。ボンディング法は、二枚のシリコン基板例えばベース基板と半導体基板を、前記基板の何れか一つに形成された埋め込み酸化膜の介在下でボンディングさせ、次に、前記半導体基板の一部厚さを研磨して素子の形成される半導体層を得て、その結果、ベース基板、埋め込み酸化膜、及び半導体層の積層構造からなるSOIウェーハが得ら

れる。

【0005】ところが、SIMOX法はイオン注入によって形成されるため、素子が形成される半導体層の厚さを調節し難く、かつ工程時間が長いという欠点がある。よって、最近では二枚のシリコン基板をボンディングさせるボンディング法が主に用いられている。さらに、ボンディング法を用いたSOIウェーハの製造方法は、その製造工程の間に活性領域を限定する素子分離膜が備えられるため、公知の半導体製造工程で素子分離工程を省略することができるという利点もある。

【0006】図1乃至図4はボンディング法を用いた従来技術によるSOIウェーハの製造方法を説明するための工程断面図である。図1を参照すれば、ベース基板1が具備され、第1酸化膜2が前記ベース基板1の側面に形成される。前記第1酸化膜2は熱酸化工程により形成された熱酸化膜である。

【0007】図2を参照すれば、バルクシリコンからなる半導体基板3が具備され、トレンチ型の素子分離膜4が前記半導体基板3に形成される。前記トレンチ型の素子分離膜4は前記半導体基板3にトレンチを形成し、次に、前記トレンチ内に酸化膜を埋め込むことにより形成される。第2酸化膜5が前記素子分離膜4及び半導体基板3上に形成される。前記素子分離膜4は素子形成領域を限定する機能を行使し、特に後続工程で研磨停止層として利用される。

【0008】図3を参照すれば、前記ベース基板1と半導体基板3は第1酸化膜2と第2酸化膜5がコンタクトされるようにボンディングされる。

【0009】図4を参照すれば、半導体層3aは素子分離膜4を研磨停止層とする化学機械研磨(Chemical Mechanical Polishing: 以下、CMP)工程にて半導体基板3の他側表面を研磨することにより得られる。この結果、ベース基板1と、第1及び第2酸化膜を含む埋め込み酸化膜6と、素子分離膜4が具備された半導体層3aとの積層構造からなるSOIウェーハ10が得られる。

【0010】

【発明が解決しようとする課題】SOIウェーハにおいて、半導体層の厚さの均一度は前記SOIウェーハに集積される半導体素子の特性に重要な要素として作用する。則ち、半導体層は素子が形成される活性領域を提供するため、その厚さの均一度が確保されるべきである。しかしながら、従来のSOIウェーハの製造方法では均一な厚さの半導体層が得られないという問題点がある。より詳細に、半導体層は素子分離膜を研磨停止層として半導体基板の後面を研磨することにより得られる。ところが、酸化膜とシリコン膜はそれら間の研磨選択比が異なるため、図4に示すように、半導体層3aの中心部分が端部に比べてその高さが低くなる様なわん状変形(dishing: D)により均一な厚さを有することができない。このため、前述したSOIウェーハに集積された半導体

素子の特性は劣ることになる。

【0011】従って、本発明の目的は半導体層の厚さの均一度を向上させることができるSOIウェーハの製造方法を提供することにある。

【0012】

【課題を解決するための手段】前記目的を達成するために、本発明は、ベース基板及び半導体基板を提供する段階；前記ベース基板上に第1絶縁膜を形成する段階；前記半導体基板の一面に第1深さを持つトレンチ型の第1素子分離膜を形成する段階；前記第1素子分離膜間に前記第1深さより深い第2深さを持つトレンチ型の第2素子分離膜を形成する段階；前記第1及び第2素子分離膜の形成された前記半導体基板の一面上に第2絶縁膜を形成する段階；前記第1と第2絶縁膜がコンタクトされるように、前記ベース基板と前記半導体基板をボンディングする段階；前記第2素子分離膜が露出するように、前記第2素子分離膜を研磨停止層として、前記半導体基板の他側面を1次研磨する段階；前記第2素子分離膜と第1素子分離膜が同じ深さを持つように、前記第2素子分離膜をエッチングする段階；及び半導体層が形成されるように、前記第1及び第2素子分離膜を研磨停止層として、1次研磨した前記半導体基板の他側面を2次研磨する段階を含むことを特徴とする。

【0013】本発明及びそれを実施できるやり方は、以下の説明及び図面を参照することによって理解できる。

【0014】

【発明の実施の形態】以下、図面に基づき、本発明の好適実施例を詳細に説明する。図5乃至図11は、本発明の実施例によるSOIウェーハの製造方法を説明するための工程断面図である。図5を参照すれば、バルクシリコンからなるベース基板11が具備され、第1絶縁膜12が前記ベース基板11の一面上に1,000~10,000Å厚さで形成される。前記第1絶縁膜12は、前記ベース基板11の一面を熱酸化させることにより形成された熱酸化膜であるとか、或いは化学気相蒸着(Chemical Vapor Deposition: 以下、CVD)法にて蒸着されたBPSG膜、SOG膜、O3-TEOS酸化膜、高密度プラズマ酸化膜から選択される一つの膜である。

【0015】図6を参照すれば、バルクシリコンからなる半導体基板21が具備される。ここで、前記半導体基板21は、素子の形成される活性領域ARと前記活性領域ARを限定するフィールド領域FR1、FR2とを含む。前記フィールド領域FR1、FR2は第1フィールド領域FR1と第2フィールド領域FR2を含み、前記第1フィールド領域FR1と第2フィールド領域FR2は交互に配置される。第1トレンチ22は前記半導体基板21の第1フィールド領域FR1をエッチングすることにより形成され、前記第1トレンチ22は第1深さ例えば1,000~3,000Å深さで形成される。

【0016】図7を参照すれば、第1素子分離膜23は

半導体基板21の第1フィールド領域FR1に形成される。前記第1素子分離膜23は、第1トレンチ22が埋め込まれるように、前記半導体基板21の一面上にCVD法にて酸化膜を蒸着し、前記半導体基板21の一面が露出するように、マスクを使用せず前記酸化膜をエッチングすることにより形成される。ここで、前記第1トレンチ22に埋め込まれる酸化膜はBPSG膜、SOG膜、O3-TEOS酸化膜、高密度プラズマ酸化膜から選択される一つの膜が用いられる。

【0017】図8を参照すれば、第2トレンチ24は第1素子分離膜23間の半導体基板21の第2フィールド領域FR2をエッチングすることにより形成される。前記第2トレンチ24は第1トレンチ22よりは深い第2深さ例えば4,000~6,000Å深さで形成される。

【0018】図9を参照すれば、第2素子分離膜25は半導体基板21の第2フィールド領域FR2に形成される。前記第2素子分離膜25は、前述した第1素子分離膜23の形成工程と同様に、第2トレンチ24が埋め込まれるように前記半導体基板21の一面上に酸化膜が埋め込まれ、次に、前記半導体基板21の一面が露出するように、マスクを使用せず前記酸化膜をエッチングすることにより形成される。第2絶縁膜26は前記第1及び第2素子分離膜23、25を含めた半導体基板21の一面上に形成される。ここで、前記第2トレンチ24内に埋め込まれた酸化膜と第2絶縁膜26は、BPSG膜、SOG膜、O3-TEOS酸化膜、高密度プラズマ酸化膜から選択される一つの膜が用いられる。

【0019】図10を参照すれば、ベース基板11と半導体基板21は、NH4OH:H2O2:H2Oが1:4:20の体積比で混合された第1溶液、あるいはH2SO4:H2Oが4:1の体積比で混合された第2溶液から選択される一つにより洗浄されたり、または前記両溶液により連続的に洗浄される。前記洗浄工程は、ベース基板11と半導体基板21の間のボンディング以前に、各基板11、21のボンディング面すなわち第1絶縁膜12と第2絶縁膜26の表面に存在するパーティクル(Particle)が除去され、かつ、第1絶縁膜12と第2絶縁膜26の表面が親水性を持つように行われることである。洗浄されたベース基板11と半導体基板21は、第1絶縁膜12と第2絶縁膜26のがコンタクトされるように、 $7.5 \times 10^{-1} \sim 7.5 \times 10^{-4}$ Torrの真空中でボンディングされ、次に、前記基板間11、21のボンディング強度が増大するように、窒素(N2)又は酸素(O2)雰囲気下で800~1,200℃で30~120分の間に熱処理される。ここで、ベース基板11と半導体基板21の間に介在された第1及び第2絶縁膜12、26はSOIウェーハで埋め込み酸化膜として機能を行う。

【0020】図11を参照すれば、半導体基板21の他側面は第2素子分離膜25に隣接した部分まで研削さ

れ、次に、研磨停止層として機能を行う第2素子分離膜25が露出するように1次研磨される。前記半導体基板21に対する1次研磨は、チャックテーブル(Chuck Table)の回転速度が10~30rpm、スピンドル(Spindle)により加える圧力が4~8psi、前記スピンドルの回転速度が20~40rpmの条件で行われる。ここで、半導体基板21の側面表面にわん状変形Dが発生する。

【0021】図12を参照すれば、露出した第2素子分離膜25は、第1素子分離膜23と同じ高さを持つように、100~300:1の比率を持つBOE溶液によりエッチングされる。前記第2素子分離膜25のエッチングは、半導体層を得るための後続の研磨工程において、前記半導体層の表面にわん状変形が発生しないようにするために行われる。

【0022】図13を参照すれば、素子の形成される半導体層21eは、1次研磨した半導体基板の側面を、同じ高さを持つ第1及び第2素子分離膜23、25を研磨停止層とするCMP工程により2次研磨することにより形成され、この結果、ベース基板11と、第1及び第2絶縁膜12、26を含む埋め込み酸化膜30と、素子分離膜23、25を備えた半導体層21eとの接合構造からなるSOIウェーハ40が得られる。ここで、前記半導体層21eは均一な厚さを持つ。詳しくは、半導体基板21の厚さが部分的に異なるため、2次研磨工程が行われる間に、厚い半導体基板部分が薄い半導体基板部分より多く研磨される。よって、1次研磨時に前記半導体基板に発生したわん状変形は殆ど除去され、その結果、半導体層21eでのわん状変形は殆ど発生しない。また、わん状変形はその発生がとても少ないため、素子特性にあまり影響しない。一方、前記2次研磨工程は前記1次研磨工程と同様に、チャックテーブルの回転速度が10~30rpm、スピンドルにより加える圧力が4~8psi、前記スピンドルの回転速度が20~40rpmの条件で行われる。

【0023】

【発明の効果】以上のように、本発明のSOIウェーハの製造方法は、半導体基板が異なる深さを持つ素子分離膜を研磨停止層として研磨されるため、均一な厚さを持つ半導体層が得られる。よって、均一な厚さの半導体層を持つSOIウェーハが製造できるため、前記SOIウェーハに集積される半導体素子の特性を向上させることができる。

【0024】尚、本発明は、本実施例に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【図1】従来技術によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図2】従来技術によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図3】従来技術によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図4】従来技術によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図5】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図6】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図7】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図8】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図9】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図10】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図11】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

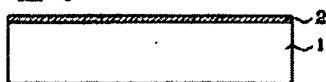
【図12】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【図13】本発明の実施例によるSOIウェーハの製造方法を説明するための各工程別断面図である。

【符号の説明】

- 11 ベース基板
- 12 第1絶縁膜
- 21 半導体基板
- 21e 半導体層
- 22 第1トレンチ
- 23 第1素子分離膜
- 24 第2トレンチ
- 25 第2素子分離膜
- 26 第2絶縁膜
- 30 埋め込み酸化膜
- 40 SOIウェーハ

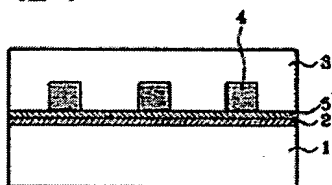
【図1】



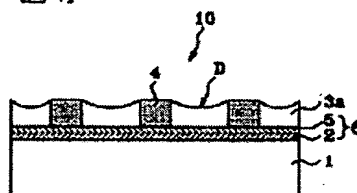
【図2】



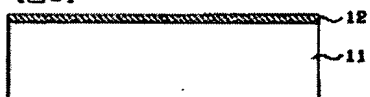
【図3】



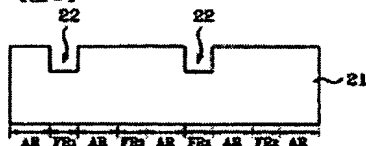
【図4】



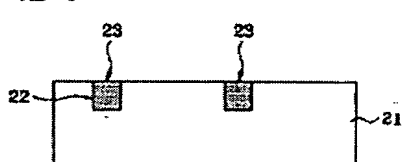
【図5】



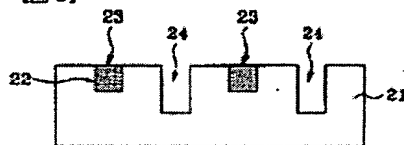
【図6】



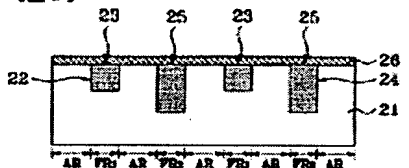
【図7】



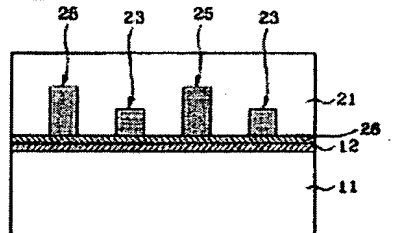
【図8】



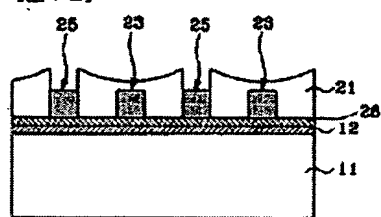
【図9】



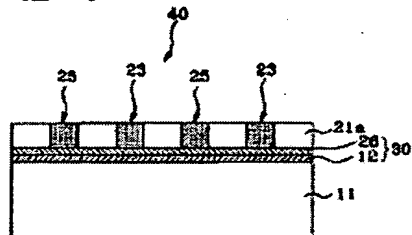
【図10】



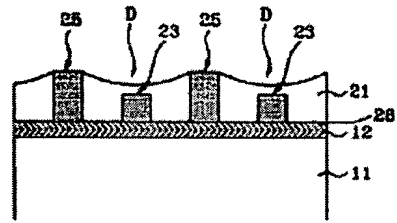
【図12】



【図13】



【図 11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.